

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

#3
TUP
6-24-98

APPLN. OF: Yokoyama

SERIAL NO.: 08/992,767

FILED: December 17, 1997

FOR: Contact Structure in Semiconductor Integrated
Circuit and Method for Forming the Same

DOCKET: NEC 19654

The Commissioner of Patents & Trademarks
Washington, D.C. 20231

SUBMISSION OF PRIORITY DOCUMENT

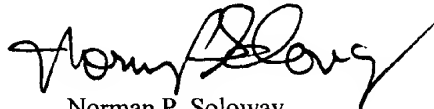
Dear Sir:

Submitted herewith is a certified copy of Japanese Patent Application No.

338403/1996 in support of Applicants' priority claim under 35 USC 119.

We believe there are no fees involved with this submission. However, in the event
additional fees are payable, please charge them to our Deposit Account No. 08-1391.

Respectfully submitted,



Norman P. Soloway
Attorney for Applicant
Reg. No. 24,315

CERTIFICATE OF MAILING

I hereby certify that this correspondence is being deposited with the United States
Postal Service as First Class Mail in an envelope addressed to: Commissioner of Patents and
Trademarks, Washington, D.C. 20231 on March 18, 1998 at Manchester,
New Hampshire.

By: 

日本国特許庁

PATENT OFFICE
JAPANESE GOVERNMENT

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日

Date of Application:

1996年12月18日

出願番号

Application Number:

平成 8年特許願第338403号

出願人

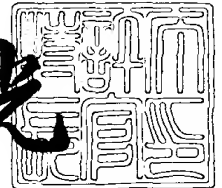
Applicant (s):

日本電気株式会社

1997年 9月 5日

特許庁長官
Commissioner,
Patent Office

荒井寿光



出証番号 出証特平09-3070058

【書類名】 特許願

【整理番号】 74404995

【提出日】 平成 8年12月18日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 21/28

【発明の名称】 半導体装置及びその製造方法

【請求項の数】 2

【発明者】

【住所又は居所】 東京都港区芝五丁目7番1号 日本電気株式会社内

【氏名】 横山 宏明

【特許出願人】

【識別番号】 000004237

【住所又は居所】 東京都港区芝五丁目7番1号

【氏名又は名称】 日本電気株式会社

【代表者】 金子 尚志

【代理人】

【識別番号】 100075306

【郵便番号】 101

【住所又は居所】 東京都千代田区神田佐久間町1丁目8番地 アルテール
秋葉原8階

【弁理士】

【氏名又は名称】 菅野 中

【電話番号】 03(3253)0041

【手数料の表示】

【予納台帳番号】 009070

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

特平 8-338403

【物件名】 要約書 1

【包括委任状番号】 9001832

【ブルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置及びその製造方法

【特許請求の範囲】

【請求項1】 大口径と小口径のコンタクトホールを半導体基板の絶縁膜に開口してなる半導体装置であって、

小口径のコンタクトホールは、高融点金属あるいは、そのシリサイドで完全に埋め込まれたものであり、

大口径のコンタクトホールは、その側壁に前記高融点金属あるいはシリサイドのサイドウォールが形成されており、かつ該サイドウォールは、前記大口径のコンタクトホール側壁上部から必要な距離だけ下がった所から形成されたものであることを特徴とする半導体装置。

【請求項2】 コンタクトホール形成工程と、被着工程と、エッチバック工程とを有する半導体装置の製造方法であって、

コンタクトホール形成工程は、半導体基板上の絶縁膜に大口径と小口径のコンタクトホールを形成する処理であり、

被着工程は、小口径及び大口径のコンタクトホールを含めて半導体基板全面に高融点金属あるいは、そのシリサイドを被着する処理であり、

エッチバック工程は、前記高融点金属あるいは、そのシリサイドをエッチバックして前記絶縁膜の上部及び大口径のコンタクトホールの底面のみを露出させ、小口径のコンタクトホール内を高融点金属あるいは、そのシリサイドで完全に埋め込み、かつ大口径のコンタクトホールの側壁の上部から必要な距離だけ下がった所から前記高融点金属あるいは、そのシリサイドのサイドウォールを形成する処理であることを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、半導体集積回路及びその製造方法に関する。

【0002】

【従来の技術】

現在一般的に知られている半導体集積回路装置のコンタクト電極形成方法は、Al-Si-Cu合金やAl単体のスパッタを行って形成するという方法である。このようなコンタクト電極の製造過程を以下に簡単に説明する。

【0003】

(1) 図10に示されるように、シリコン基板1の主面上にCVD法を用いて約1 μ mの厚さで酸化シリコン膜2が堆積される。

【0004】

(2) 次に図10に示されるように、フォトリソグラフィ技術とエッチング技術を用い、シリコン基板1上に堆積した酸化シリコン膜2にコンタクトホール9が開口される。

【0005】

(3) 以上の工程を経た後、図11に示されるように、配線層である厚さ約1 μ mのAl層8がシリコン基板1の全面にスパッタ技術を用いて形成される。このAl層8は、Al-Si-Cu合金であっても良い。

【0006】

所で、近年、半導体集積回路装置の高集積化、パターンの微細化が進み、コンタクトホールも微小なものになる傾向が強くなり、図10及び図11に示された従来のコンタクト電極形成方法では、良好なコンタクト抵抗を得るためのコンタクト電極形成に困難を生じるようになりつつあった。

【0007】

この問題を解決するための方法が、例えば特開昭62-213120号公報に示されている。このようなコンタクト電極の製造過程を以下に簡単に説明する。

【0008】

なお、コンタクトホール9までの製造過程は、図10に示すとおりであるため、ここでの説明は省略する。

【0009】

(1) 図12に示されるように、CVD法あるいはPVD法を用い、高融点金属層5がシリコン基板1の全面に堆積される。高融点金属層5は、高融点金属の

単体あるいは合金であるが、Mo、W等の高融点金属のシリサイドであってもよい。CVD法による場合は、減圧CVD法のように被覆性の良い方法によるのが望ましい。

【0010】

(2) この状態のシリコン基板1の全面に塩素系ガス雰囲気でRIEによるエッチング処理を施し、図13に示されるようにコンタクトホール9の側壁にのみ高融点金属のサイドウォール6が残された状態とする。RIEは、異方性のエッチングであって、シリコン基板1に垂直な方向にのみエッチングが進行するため、垂直方向の厚さが大であるコンタクトホール9の側壁にのみ高融点金属が残され、図13に示すような形となる。

【0011】

前述したRIEによるエッチング工程は、素子の形成に不都合な部分の高融点金属5を基板1の表面から除去する目的で行われるため、コンタクトホール9の側壁以外の部分、例えば、コンタクトホール9の底面部に高融点金属が残留していても差し支えない。また、RIEによるエッチングによって高融点金属のサイドウォール6の肩の部分が丸められるが、これは、次の工程でAlの被覆性を改善するのに役立つ。

【0012】

(3) 以上の工程を経た後、図14に示されるように、配線層である厚さ約1 μ mのAl層8がシリコン基板1の全面にスパッタ技術を用いて形成される。このAl層8は、Al-Si-Cu合金であっても良い。

【0013】

【発明が解決しようとする課題】

しかしながら、図10及び図11に示される従来のコンタクト電極の製造方法では、良好なコンタクト抵抗を得るためのコンタクト電極形成に困難が生じるという問題点があった。

【0014】

その理由は、以下の通りである。すなわち、半導体集積回路装置の高集積化、パターンの微細化が進むにつれて、各配線層をパターニングする際に下地を平坦

化しないとパターンが設計通りに形成されないことになる（例えば、配線のショートやオープンなど）。この平坦化は、通常絶縁膜を厚目につけてエッチバックを行うという手段を用いるが、この手法を用いると、当然のことながらコンタクト電極を形成する前の層間絶縁膜の厚さは、非常に厚くなる。そのため、微細なコンタクトホールを形成すると、従来技術のようにコンタクトホール側壁に高融点金属のサイドウォールを設けたとしても、コンタクトホールの底面でアルミ配線が段切れを起こしてしまう。高融点金属のサイドウォールが存在するため、コンタクトは、オープンとはならないが、高融点金属の抵抗値は、アルミの抵抗値よりも高いため、結果としてコンタクト抵抗は高くなってしまうためである。

【0015】

また、半導体集積回路装置には大口径のコンタクトホールもあれば、小口径のコンタクトホールも存在するわけであるが、従来技術のようなコンタクト電極の製造方法では、大口径のコンタクトホールと小口径のコンタクトホール両方での安定したコンタクト抵抗を得ることが困難になるという問題があった。

【0016】

その理由は、以下の通りである。例えば小口径のコンタクトホールにあわせて高融点金属のサイドウォールを形成した場合には、その小口径が埋まらないように高融点金属の膜厚を薄く設定してやらなければいけないが、そうすると大口径のコンタクトホールは、高融点金属のサイドウォール膜厚が薄くなりすぎてコンタクトホール底面でアルミが段切れを起こしてしまい、結果としてコンタクト抵抗が高くなってしまうためである。

【0017】

本発明の目的は、コンタクトホールが微小なものであっても、良好なコンタクト抵抗が得られ、半導体私有積回路装置中に混在する大口径のコンタクトホールと小口径のコンタクトホール両方で安定した低いコンタクト抵抗が得られる半導体装置及びその製造方法を提供することにある。

【0018】

【課題を解決するための手段】

前記目的を達成するため、本発明に係る半導体装置は、大口径と小口径のコン

タクトホールを半導体基板の絶縁膜に開口してなる半導体装置であって、

小口径のコンタクトホールは、高融点金属あるいは、そのシリサイドで完全に埋め込まれたものであり、

大口径のコンタクトホールは、その側壁に前記高融点金属あるいはシリサイドのサイドウォールが形成されており、かつ該サイドウォールは、前記大口径のコンタクトホール側壁上部から必要な距離だけ下がった所から形成されたものである。

【0019】

また本発明に係る半導体装置の製造方法は、コンタクトホール形成工程と、被着工程と、エッチバック工程とを有する半導体装置の製造方法であって、

コンタクトホール形成工程は、半導体基板上の絶縁膜に大口径と小口径のコンタクトホールを形成する処理であり、

被着工程は、小口径及び大口径のコンタクトホールを含めて半導体基板全面に高融点金属あるいは、そのシリサイドを被着する処理であり、

エッチバック工程は、前記高融点金属あるいは、そのシリサイドをエッチバックして前記絶縁膜の上部及び大口径のコンタクトホールの底面のみを露出させ、小口径のコンタクトホール内を高融点金属あるいは、そのシリサイドで完全に埋め込み、かつ大口径のコンタクトホールの側壁の上部から必要な距離だけ下がった所から前記高融点金属あるいは、そのシリサイドのサイドウォールを形成する処理である。

【0020】

【作用】

本発明によるコンタクト電極形成方法では、シリコン基板の酸化シリコン膜に開口された小口径のコンタクトホールは、高融点が完全に埋め込まれた状態とし、大口径のコンタクトホールは、その側壁の上部から必要な距離だけ下がった所から高融点金属のサイドウォールを有するような状態にする。そうすることにより、半導体集積回路装置の高集積化、パターンの微細化が進んで、各配線層間の絶縁膜が厚くなったり、また、コンタクトホールが微小なものになっても、コンタクトホールの底面でアルミ等の配線層が段切れを起こさず、抵抗値が低く、か

つ安定したコンタクト抵抗を得ることが可能となる。

【0021】

また、本発明によるコンタクト電極形成方法では、小口径のコンタクトホールは高融点金属で完全に埋め込まれるため、大口径のコンタクトホールの側壁に形成される高融点金属のサイドウォールは、後工程で被着するアルミ等の配線層がコンタクトホールの底面で段切れを起こさないように厚くできる。その高融点金属のサイドウォールは、コンタクトホール側壁の上部からある距離だけ下がった所から形成されているため、半導体集積回路装置の高集積化、パターンの微細化が進み、各配線層間の絶縁膜が厚くなっても、アルミ等の配線層が段切れを起こしにくくなり、大口径と小口径両方のコンタクトホールにおいて抵抗値が低く、かつ安定したコンタクト抵抗を得ることが可能となる。

【0022】

【発明の実施の形態】

次に、本発明の実施の形態について図面を参照して詳細に説明する。

【0023】

図1において、本発明に係る半導体装置は、大口径と小口径のコンタクトホールを半導体基板の絶縁膜に開口してなる半導体装置であって、小口径のコンタクトホール4は、高融点金属あるいは、そのシリサイドの埋め込み7で完全に埋め込まれたものであり、大口径のコンタクトホール3は、その側壁に高融点金属あるいはシリサイドのサイドウォール6が形成されており、かつサイドウォール6は、大口径のコンタクトホール3の側壁上部から必要な距離だけ下がった所から形成されたものである。

【0024】

また、本発明に係る半導体装置の製造方法、特にコンタクト電極形成方法は、シリコン基板1上にCVD技術を用いて酸化シリコン膜2を約1 μ mの厚さで形成し、その後、フォトリソグラフィ技術とエッチング技術を用いて、酸化シリコン膜2に大口径のコンタクトホール3及び小口径のコンタクトホール4を開口する。

【0025】

その後、シリコン基板1の全面に高融点金属を堆積する。その高融点金属の堆積膜厚を例えば約300nmの厚さに規制することにより、小口径のコンタクトホール1には、高融点金属が完全に埋め込まれ、大口径のコンタクトホール3には、一部を残して高融点金属が埋め込まれるようにする。

【0026】

その後、エッチング技術を用い、酸化シリコン膜2の上部、大口径のコンタクトホール3の底面の一部が露出するように高融点金属をエッチバックし、小口径のコンタクトホール4の内部には、高融点金属の埋め込み7を形成し、かつ大口径のコンタクトホール3の内部には、その側壁の上部から必要な距離だけ下がった所から高融点金属のサイドウォール6を形成し、その後、アルミ等を被着して配線層8を形成する。

【0027】

(実施形態1) 次に、本発明の実施形態1について図を参照して詳細に説明する。図1は、本発明の実施形態1に係る半導体装置を示す断面図、図2～図5は、本発明の実施形態1に係る半導体装置の製造方法を工程順に示す断面図である。

【0028】

図1において、本発明の実施形態1に係る半導体装置は、シリコン基板1上の酸化シリコン膜2に小口径のコンタクトホール4と大口径のコンタクトホール3が設けられており、さらに小口径のコンタクトホール4内には、高融点金属の埋め込み7を形成し、かつ大口径のコンタクトホール3内には、その側壁の上部から必要な距離だけ下がった所から高融点金属のサイドウォール6を形成したことを特徴とするものである。

【0029】

次に、本発明の実施形態1に係る半導体装置の製造方法、特にコンタクト電極の形成方法について説明する。なお、酸化シリコン膜2の成膜工程までは図2に示す通りであり、その説明を省略する。

【0030】

(1) 図3に示すように、フォトリソグラフィー技術とエッチング技術を用い

、シリコン基板 1 の酸化シリコン膜 2 に大口径のコンタクトホール 3 及び小口径のコンタクトホール 4 を開口する。

【0031】

(2) 次に図 4 に示すように、小口径のコンタクトホール 4 は完全に埋め込まれ、大口径のコンタクトホール 3 は一部を残して埋め込まれるように酸化シリコン膜 2 上に約 300 nm の厚さに高融点金属 5 を堆積する。

【0032】

(3) その後、図 5 に示すように、エッチング技術を用い、酸化シリコン膜 2 の上部、大口径のコンタクトホール 3 の底面の一部が露出するように高融点金属 5 をエッチバックし、小口径のコンタクトホール 4 内には、高融点金属の埋め込み 7 を形成し、かつ大口径のコンタクトホール 3 内には、その側壁の上部から必要な距離だけ下がった所から高融点金属のサイドウォール 6 を形成する。

【0033】

(4) 次に図 1 に示すように、スパッタ技術を用いてアルミ等をシリコン基板 1 の全面に被着して配線層 8 を形成する。

【0034】

(実施形態 2) 図 9 は、本発明の実施形態 2 に係る半導体装置を示す断面図、図 2 及び図 6～図 8 は、本発明の実施形態 2 に係る半導体装置の製造方法を工程順に示す断面図である。

【0035】

図 9 において、本発明の実施形態 2 に係る半導体装置は、シリコン基板 1 の酸化シリコン膜 2 に設けられた小口径のコンタクトホール 4 内には高融点金属の埋め込み 7 を形成し、かつ大口径のコンタクトホール 3 内には、その側壁の上部からある距離だけ下がった所から高融点金属のサイドウォール 6 を形成したものであり、さらに大口径のコンタクトホール 3 及び小口径のコンタクトホール 4 の上部開口縁は、漏斗状に拡開してある。

【0036】

次に、本発明の実施形態 2 に係る半導体装置の製造方法、特にコンタクト電極の形成方法について説明する。なお、酸化シリコン膜 2 を成膜するまでの工程は

図2に示す通りであるため、その説明は省略する。

【0037】

(1) 図6に示すように、フォトリソグラフィ技術とエッチング技術を用い、シリコン基板1の酸化シリコン膜2に大口径のコンタクトホール3及び小口径のコンタクトホール4を開口し、かつ各コンタクトホール3、4の上部開口を漏斗状に拡開させる。

【0038】

(2) 次に図7に示すように、小口径のコンタクトホール4は完全に埋め込まれ、大口径のコンタクトホール3は、一部を残して埋め込まれるように、酸化シリコン膜2に約300nmの厚さに高融点金属5を堆積する。

【0039】

(3) その後、図8に示すように、エッチング技術を用い、酸化シリコン膜2の上部、大口径のコンタクトホール3の底面の一部が露出するように高融点金属5をエッチバックし、小口径のコンタクトホール4内には高融点金属の埋め込み7を形成し、かつ大口径のコンタクトホール3内には、その側壁の上部から必要な距離だけ下がった所から高融点金属のサイドウォール6を形成する。

【0040】

(4) その後、図9に示すように、スパッタ技術を用い、シリコン基板1の全面にアルミ等を被着して配線層8を形成する。

【0041】

【発明の効果】

以上説明したように本発明によれば、半導体基板上に形成された酸化膜に開口された小口径のコンタクトホールは、高融点金属で完全に埋め込まれた状態とし、大口径のコンタクトホールは、その側壁の上部から必要な距離だけ下がった所から高融点金属のサイドウォールを有する構造とすることにより、半導体集積回路装置の高集積化、パターンの微細化が進んで、各配線層間の絶縁膜が厚くなったり、また、コンタクトホールが微小なものになっても、コンタクトホールの底面で配線層が段切れを引き起こすことを回避することができ、良好なコンタクト抵抗を得ることができるとともに、半導体集積回路装置中に混在する大口径のコ

ンタクトホールと小口径のコンタクトホール両方で抵抗値が低く、かつ安定したコンタクト抵抗を得ることができる。

【図面の簡単な説明】

【図 1】

本発明の実施形態 1 に係る半導体装置を示す断面図である。

【図 2】

本発明の実施形態 1 に係る半導体装置の製造方法を工程順に示す断面図である。

【図 3】

本発明の実施形態 1 に係る半導体装置の製造方法を工程順に示す断面図である。

【図 4】

本発明の実施形態 1 に係る半導体装置の製造方法を工程順に示す断面図である。

【図 5】

本発明の実施形態 1 に係る半導体装置の製造方法を工程順に示す断面図である。

【図 6】

本発明の実施形態 2 を工程順に示す断面図である。

【図 7】

本発明の実施形態 2 を工程順に示す断面図である。

【図 8】

本発明の実施形態 2 を工程順に示す断面図である。

【図 9】

本発明の実施形態 2 に係る半導体装置を示す断面図である。

【図 10】

従来例の製造方法を工程順に示す断面図である。

【図 11】

従来例の製造方法を工程順に示す断面図である。

【図 1 2】

従来例を改良した製造方法を工程順に示す断面図である。

【図 1 3】

従来例を改良した製造方法を工程順に示す断面図である。

【図 1 4】

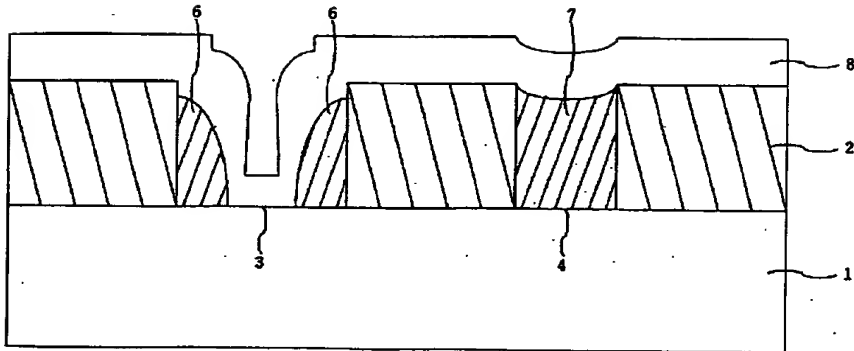
従来例を改良した製造方法を工程順に示す断面図である。

【符号の説明】

- 1 シリコン基板
- 2 酸化シリコン膜
- 3 大口径のコンタクトホール
- 4 小口径のコンタクトホール
- 5 高融点金属
- 6 高融点金属のサイドウォール
- 7 高融点金属の埋め込み
- 8 配線層

【書類名】 図面

【図1】



1シリコン基板

5高融点金属

2酸化シリコン膜

6高融点金属のサイドウォール

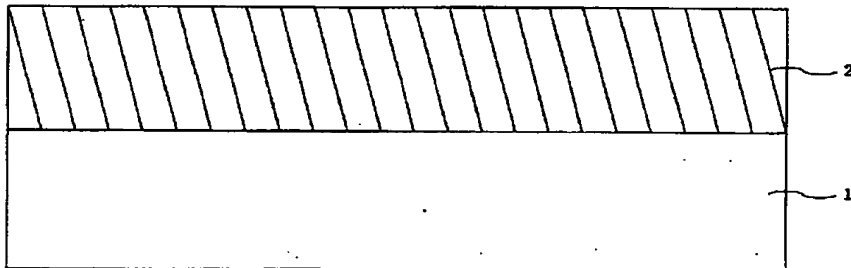
3大口径のコンタクトホール

7高融点金属の埋め込み

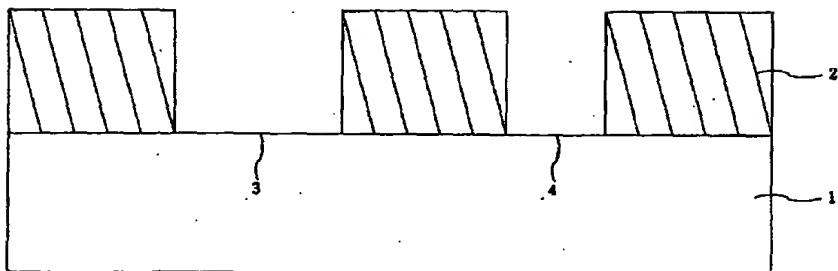
4小口径のコンタクトホール

8配線層

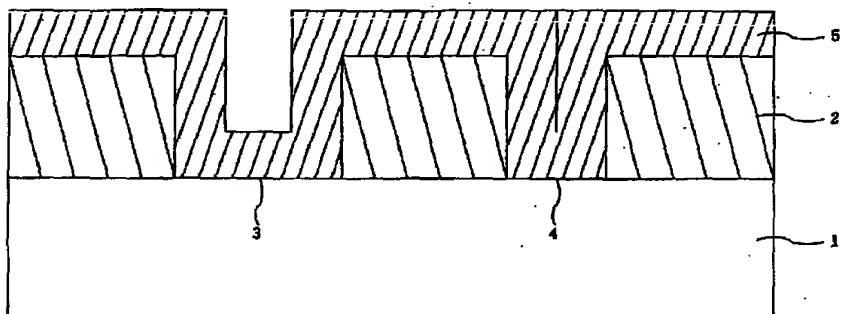
【図2】



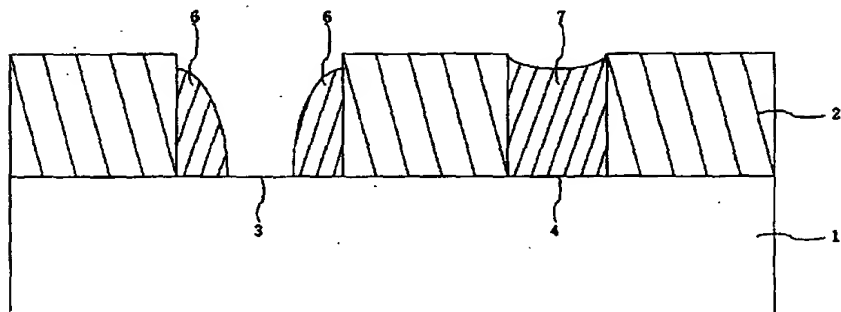
【図3】



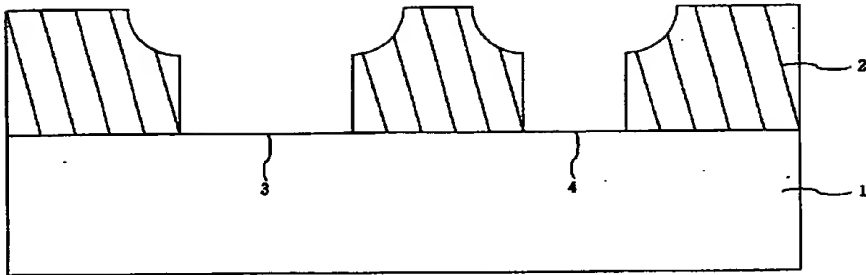
【図4】



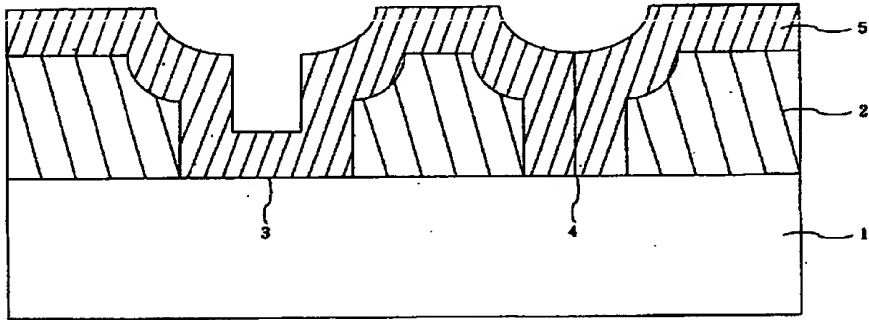
【図5】



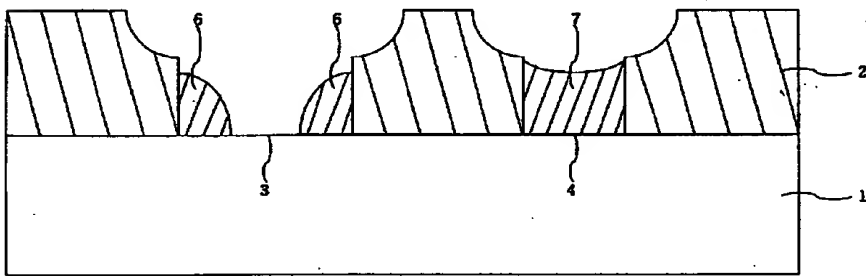
【図6】



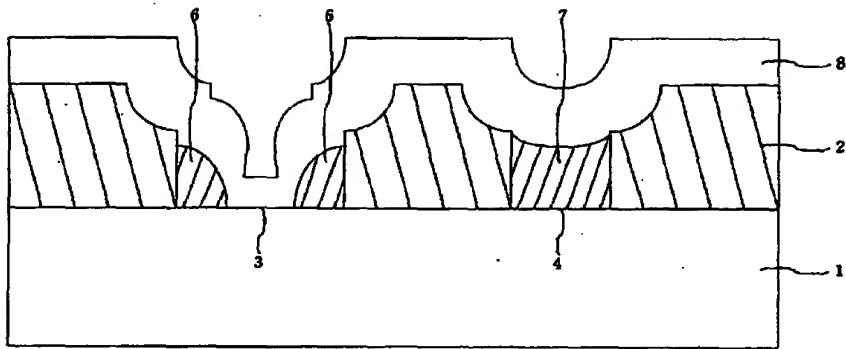
【図7】



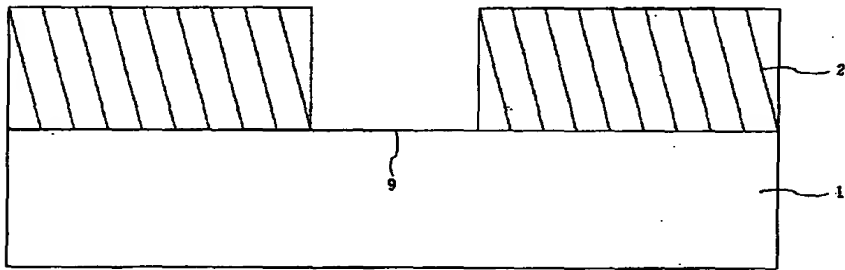
【図8】



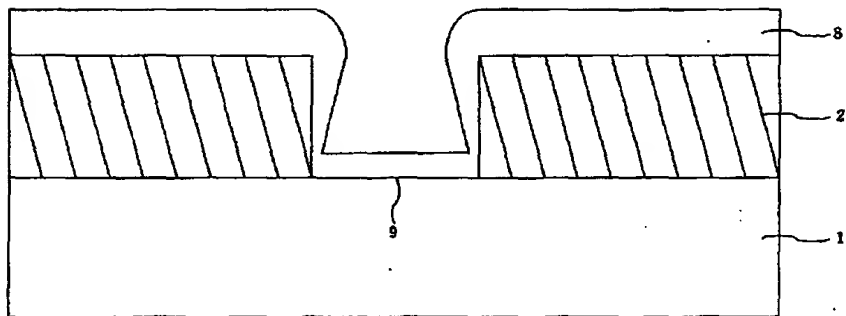
【図9】



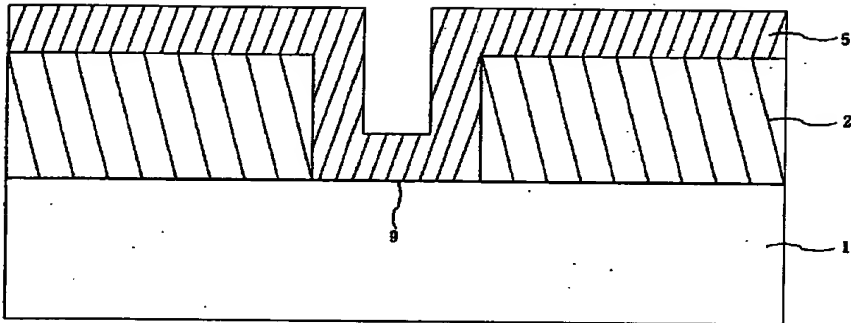
【図10】



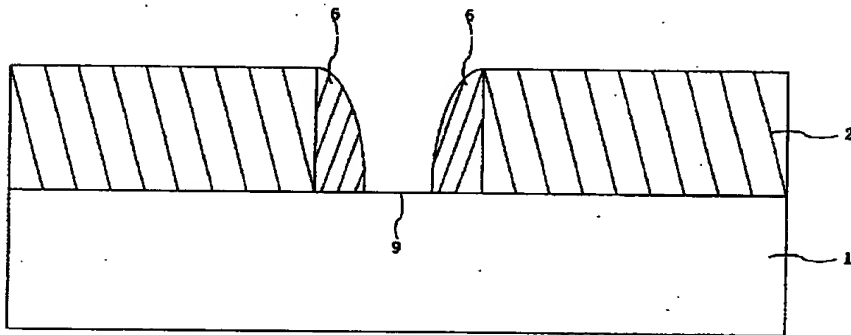
【図11】



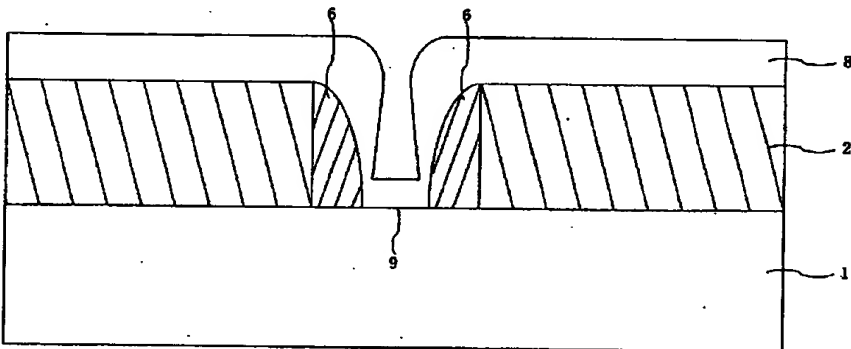
【図12】



【図13】



【図14】



【書類名】 要約書

【要約】

【課題】 半導体装置におけるコンタクト抵抗を改善する。

【解決手段】 シリコン基板1上に形成された酸化シリコン膜2に大口径のコンタクトホール3及び小口径のコンタクトホール4を開口し、小口径のコンタクトホール4は完全に埋め込まれ、大口径のコンタクトホール3は一部を残して埋め込まれるように、シリコン基板1の全面に約300nmの厚さに高融点金属5を堆積する。その後、高融点金属5をエッチバックし、小口径のコンタクトホール4は高融点金属5で完全に埋め込まれて状態にし、かつ大口径のコンタクトホール3は、その側壁の上部から必要な距離だけ下がった所から高融点金属のサイドウォール6を形成する。その後アルミ等を被着して配線層8を形成する。

【選択図】 図1

【書類名】 職権訂正データ
【訂正書類】 特許願

<認定情報・付加情報>

【特許出願人】

【識別番号】 000004237

【住所又は居所】 東京都港区芝五丁目7番1号

【氏名又は名称】 日本電気株式会社

【代理人】 申請人

【識別番号】 100075306

【住所又は居所】 東京都千代田区神田佐久間町1丁目8番地 アルテ
ール秋葉原8階 菅野特許事務所

【氏名又は名称】 菅野 中

出 願 人 履 歴 情 報

識別番号 [000004237]

1. 変更年月日 1990年 8月29日
[変更理由] 新規登録
住 所 東京都港区芝五丁目7番1号
氏 名 日本電気株式会社